



TRABALHO DE CONCLUSÃO DE CURSO

PROPOSTAS ALTERNATIVAS DE UMA MEMÓRIA ASSOCIATIVA NANOELETRÔNICA

Beatriz Oliveira Câmara da Fé

Brasília, Agosto de 2014

UNIVERSIDADE DE BRASÍLIA

**FACULDADE DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

Departamento de Engenharia Elétrica

TRABALHO DE CONCLUSÃO DE CURSO

Propostas alternativas de uma memória associativa nanoeletrônica

Beatriz Oliveira Câmara da Fé

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista.

Banca Examinadora

Aprovada por:

Prof. Janaína Guimarães, Dr. UnB/ ENE

(Orientadora)

Prof. Alexandre Romariz, Dr. UnB/ENE

(Examinador Interno)

Eng. Beatriz Pês UnB/ENE

(Examinadora Interna)

Brasília, Agosto de 2014

FICHA CATALOGRÁFICA

DA FÉ, BEATRIZ OLIVEIRA CÂMARA

Propostas alternativas de uma memória associativa nanoeletrônica.

42 p., 210 x 297 mm (ENE/FT/UnB, Engenheiro Eletricista, 2014)

Projeto Final de Graduação - Universidade de Brasília. Faculdade de Tecnologia.

Departamento de Engenharia Elétrica.

1. Nanoeletrônica

2. Memória Associativa

3. Neurônio Pulsado

4. LTSPICE

I. ENE/FT/UnB

II. Título (série)

REFERÊNCIA BIBLIOGRÁFICA

DA FÉ, B. O. C. (2014). Propostas alternativas de um memória associativa nanoeletrônica. Projeto Final de Graduação em Engenharia Elétrica, Publicação ENE/2014, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 42 p.

CESSÃO DE DIREITOS

AUTOR: Beatriz Oliveira Câmara da Fé

TÍTULO: Propostas alternativas de uma memória associativa nanoeletrônica.

GRAU / ANO: Engenheiro Eletricista/2014

É concedida à Universidade de Brasília a permissão para reproduzir cópias deste relatório de projeto final de graduação e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte deste projeto final de graduação pode ser reproduzida sem a autorização por escrito do autor.

Beatriz Oliveira Câmara da Fé
BRASÍLIA-DF

Dedico

*À minha mãe Áurea por me amar
incondicionalmente e sempre.
Ao meu irmão Pedro, um pilar no
mar de tormentas.*

AGRADECIMENTOS

À minha mãe, por sua dedicação ao meu bem estar e seu apoio indispensável ao longo dessa jornada. Obrigada por me inspirar a buscar sempre o meu melhor. Obrigada por seu papel fundamental na minha educação.

Ao meu irmão, por sua confiança inabalável nos dias melhores e sua força frente as tempestades enfrentadas. Por seu coração bondoso, um exemplo constante para mim. Obrigada por sua ajuda e orientação ao longo deste curso.

À minha tia Aurenice e meu tio Rubens, que são como um pai e uma mãe para mim. Obrigada por estarem sempre presentes, a qualquer hora do dia, pelo amor e confiança em mim demonstrados. Obrigada por serem mais que família.

À minha vó materna, Maria de Jesus, por ser um exemplo de caráter, valor e honra. Por ser um forte inexorável frente ao tempo, um pilar para a família e os valores familiares. Por ser um ser humano em sua plenitude. Obrigada por seus conselhos sábios.

À minha orientadora Janaína, por sua paciência e compreensão frente as dificuldades enfrentadas. Por ser verdadeiramente uma professora, sempre pronta a guiar e ensinar seus alunos. Por me inspirar e alimentar minha sede de conhecimento. Obrigada pela sua orientação.

À secretária do Departamento de Engenharia Elétrica, Anna Carolina, por ir além de seus deveres e ser uma amiga para todos que por ali passam. Por seu carinho e ajuda nos momentos mais difíceis. Obrigada por suavizar uma jornada tão difícil.

RESUMO

Este trabalho propõe uma memória associativa assíncrona e uma memória associativa síncrona, ambas com arquitetura digital nanoeletrônica implementada a partir de portas NAND construídas com transistores monoelétron (SET). Além disso o trabalho apresenta o uso de neurônios pulsados como entrada de dados para a memória. Todos os circuitos são validados através de simulações no *software* LTSPICE.

Palavras-chaves: Nanoeletrônica, Neurônio Pulsado, Memória Associativa, SPICE, WTA.

ABSTRACT

This paper presents a digital nanoelectronic architecture for both an asynchronous associative memory and a synchronous associative memory, consisting of single-electron NAND gates. Also a nanoelectronic spiking-neuron is used as input for both memories. All circuits in this paper have been validated by simulation in software LTSPICE.

KeyWords: Nanoelectronic, Spiking Neurons, Content-Adressable Memory, SPICE, WTA.

LISTA DE ILUSTRAÇÕES

Figura 2.1: Probabilidade de tunelamento versus energia de uma barreira de potencial.[9]....	15
Figura 2.2: Junção túnel[10].....	16
Figura 2.3: Ilha quântica.....	17
Figura 2.4: Efeito do bloqueio de Coulomb[9].....	18
Figura 2.5: Transistor monoelêtron (SET)[12].....	18
Figura 2.6: Porta Não-E nanoeletrônica[13].....	19
Figura 2.7: Latch SR[8].....	20
Figura 2.8: Flip-flop D[8].....	20
Figura 2.9: Exemplo de detetor de envoltória.....	21
Figura 2.10: Exemplo de registrador de deslocamento.....	22
Figura 2.11: Memória Associativa Nanoeletrônica[7].....	23
Figura 2.12: Diagrama de blocos da memória associativa[7].....	24
Figura 2.13: Rede WTA modificada[7].....	24
Figura 2.14: Modelo de Neurônio Pulsado[16].....	25
Figura 3.1: Porta Ou-Exclusivo.....	27
Figura 3.2: Simulação da porta XOR.....	27
Figura 3.3: Latch SR.....	28
Figura 3.4: Saída do Latch SR.....	28
Figura 3.5: Flip-Flop D.....	29
Figura 3.6: Saída do Flip-Flop D.....	30
Figura 3.7: Diagrama de estados para máquina 1.....	30
Figura 3.8: Máquina de Estados 1.....	31
Figura 3.9: Diagrama de estados para a máquina 2.....	31
Figura 3.10: Máquina de Estados 2.....	31
Figura 3.11: Memória Associativa Assíncrona.....	32
Figura 3.12: Memória Síncrona.....	34
Figura 3.13: Processamento da saída do neurônio pulsado.....	35
Figura 4.1: Saída para memória assíncrona.....	36
Figura 4.2: Palavras armazenadas na memória síncrona.....	38
Figura 4.3: Saída da memória síncrona.....	38

LISTA DE TABELAS

Tabela 2.1: Parâmetros de simulação para a porta Não-E.....	19
Tabela 3.1: Tabela Verdade XOR.....	27
Tabela 3.2: Tabela do Latch SR.....	28
Tabela 3.3: Tabela verdade do Flip-Flop D.....	29
Tabela 3.4: Possíveis combinações de palavras na memória síncrona.....	33
Tabela 4.1: Relação de saída para a memória assíncrona.....	36
Tabela 4.2: Propriedades da Porta NAND Nanoeletrônica.....	37
Tabela 4.3: Propriedades de um neurônio.....	37
Tabela 4.4: Área total da memória assíncrona.....	37
Tabela 4.5: Potência total da memória assíncrona.....	37
Tabela 4.6: Área e Potência da Máquina de Estados.....	39
Tabela 4.7: Área total da memória síncrona.....	39
Tabela 4.8: Potência total da memória síncrona.....	39
Tabela 4.9: Área e potência de várias memórias associativas.....	39

SUMÁRIO

1 INTRODUÇÃO.....	12
1.1 MOTIVAÇÃO DO TRABALHO.....	12
1.2 OBJETIVOS DO TRABALHO.....	13
1.3 ESTRUTURA DO TRABALHO.....	13
2 REVISÃO BIBLIOGRÁFICA.....	15
2.1 CONSIDERAÇÕES INICIAIS.....	15
2.2 TUNELAMENTO.....	15
2.3 JUNÇÃO-TÚNEL.....	16
2.4 ILHA QUÂNTICA.....	16
2.5 BLOQUEIO DE COULOMB.....	17
2.6 TRANSISTOR MONOELÉTRON.....	18
2.7 PORTA NÃO-E MONOELÉTRON.....	19
2.8 MÁQUINAS DE ESTADO.....	20
2.9 LATCHES E FLIP-FLOPS.....	20
2.10 DETETOR DE ENVOLTÓRIA.....	21
2.11 CONVERSOR A/D.....	21
2.12 REGISTRADOR.....	21
2.13 MEMÓRIA ASSOCIATIVA.....	22
2.14 NEURÔNIO PULSADO.....	25
3 METODOLOGIA.....	26
3.1 CONSIDERAÇÕES INICIAIS.....	26
3.2 IMPLEMENTAÇÃO DOS MÓDULOS DIGITAIS DA MEMÓRIA A PARTIR DA PORTA NAND.....	26
3.2.1 PORTA OU-EXCLUSIVO (XOR).....	26
3.2.2 LATCH SR.....	28
3.2.3 FLIP-FLOP D.....	29
3.2.4 MÁQUINAS DE ESTADO.....	30
3.3 IMPLEMENTAÇÃO DA MEMÓRIA ASSOCIATIVA.....	32
3.3.1 MEMÓRIA ASSOCIATIVA ASSÍNCRONA.....	32
3.3.2 MEMÓRIA ASSOCIATIVA SÍNCRONA.....	33
3.4 NEURÔNIO PULSADO.....	34
4 RESULTADOS E ANÁLISE.....	35

4.1 INTRODUÇÃO.....	35
4.2 MEMÓRIA ASSOCIATIVA ASSÍNCRONA.....	35
4.3 MEMÓRIA ASSOCIATIVA SÍNCRONA.....	37
5 CONCLUSÕES.....	40
REFERÊNCIAS.....	41

1 INTRODUÇÃO

1.1 MOTIVAÇÃO DO TRABALHO

Em 1965 Gordon Moore, após observar que os transistores de silício estavam sofrendo um processo contínuo de diminuição em sua escala, afirmou que o número de transistores em um circuito integrado dobraria a cada 18 meses ^[1]. Essa afirmação, conhecida como Lei de Moore, se tornou um objetivo a ser alcançado pela indústria, incentivando pesquisas e investimentos na área de tecnologia.

Atualmente o transistor MOS (*Metal-Oxide-Semiconductor*) é o dispositivo mais amplamente empregado no projeto de circuitos integrados. O seu sucesso se deve principalmente à pouca potência necessária para sua operação e ao seu processo de fabricação ser relativamente simples. O transistor MOS é fabricado em dimensões pequenas e elas têm sido constantemente reduzidas desde de sua criação (atualmente, essas dimensões estão abaixo dos 100 nm). Contudo suas dimensões não podem continuar sendo reduzidas indefinidamente sem ultrapassar a barreira entre a física clássica e a física quântica. Uma nova tecnologia é necessária para manter os avanços da eletrônica ^[2]. Os nanodispositivos são uma possível solução que leva em conta os efeitos quânticos em elementos eletrônicos de dimensões muito reduzidas ^[3].

Recentemente o SET (*Single-Electron Tunneling Transistor*) tem sido considerado um nanodispositivo muito promissor para o futuro dos circuitos integrados de alta densidade ^[4]. Seu funcionamento é baseado no controle do fluxo de um único elétron ou de um pequeno grupo de elétrons através do tunelamento, apresentando um consumo muito reduzido de potência durante sua operação.

O próximo passo em direção ao futuro da eletrônica é a proposta de circuitos clássicos no domínio da nanoeletrônica. Existem atualmente propostas de diversos circuitos com base na tecnologia SET na literatura, especialmente na área de portas lógicas. Os circuitos SET, porém, apresentam grande potencial no desenvolvimento de células de memória^[5]. Memórias associativas são de especial interesse no que tange o aumento do desempenho do circuito no quesito velocidade, além da propriedade de busca de dados por conteúdo^[6].

Alencar^[7] propôs a execução de uma Memória Associativa Nanoeletrônica fazendo uso de Transistores Monoelétron. Apesar de completamente funcional, a complexidade de seu

circuito dificulta a expansão do número de palavras e bits com os quais a memória pode lidar.

Este trabalho apresenta uma nova arquitetura baseada em portas NAND (Não-E). A função NAND é capaz de gerar todas as demais funções booleanas^[8] e, portanto, é o bloco básico ideal para a implementação de uma nova arquitetura projetada em eletrônica digital. Além da facilidade de expansão desse tipo de circuito, ela possibilita a diminuição no consumo de potência do circuito.

1.2 OBJETIVOS DO TRABALHO

O presente trabalho tem por objetivo propor e analisar uma nova arquitetura para a implementação de uma Memória Associativa por meio do uso de componentes digitais estruturados com Transistores Monoelétron (SET). Além disso, é proposta a utilização de uma rede de neurônios pulsados como entrada de dados para a memória.

1.3 ESTRUTURA DO TRABALHO

O trabalho está estruturado de forma a primeiramente apresentar os conceitos básicos de nanoeletrônica e os elementos base a serem utilizados na concepção da Memória Associativa. Em seguida, apresenta-se os resultados obtidos e é realizada uma discussão acerca das arquiteturas de uma Memória Associativa em tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*) e SET. O trabalho é apresentado da seguinte maneira:

- Capítulo 1: oferece uma breve introdução acerca do trabalho proposto e uma visão geral do *layout* do trabalho;
- Capítulo 2: apresenta uma revisão bibliográfica dos conceitos base que regem o comportamento da nanoeletrônica, além dos elementos eletrônicos que serão utilizados como blocos básicos para a concepção da Memória Associativa proposta;
- Capítulo 3: apresenta as etapas seguidas para a construção e validação dos modelos utilizados na implementação da memória;
- Capítulo 4: apresenta os resultados obtidos a partir das simulações efetuadas no

software LTSPICE e suas análises, além de uma breve discussão acerca das vantagens e desvantagens da tecnologia SET versus a tecnologia CMOS;

- Capítulo 5: apresenta as conclusões finais sobre o trabalho realizado e sugestões para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

2.1 CONSIDERAÇÕES INICIAIS

A memória associativa apresentada neste trabalho é constituída por blocos básicos, quais sejam o transistor monoelétron (SET) e a porta lógica NAND constituída por SETs. Neste capítulo são apresentados os conceitos básicos teóricos que regem o funcionamento do SET e da porta NAND monoelétron. São apresentados ainda os conceitos inerentes à memória associativa e ao neurônio pulsado.

2.2 TUNELAMENTO

Este fenômeno quântico é a base de funcionamento do transistor monoelétron. Um tunelamento ocorre quando uma partícula com energia total menor do que a energia potencial de uma barreira consegue atravessá-la^[9]. Pela mecânica clássica, uma partícula com energia inferior à de uma barreira de potencial deveria ser incapaz de transpô-la, sendo completamente refletida. Porém, quando tal barreira de potencial é suficientemente fina, ocorre o tunelamento quântico, no qual a partícula comporta-se como onda durante a transposição da barreira, refletindo apenas parte de sua energia, e transmitindo o restante.

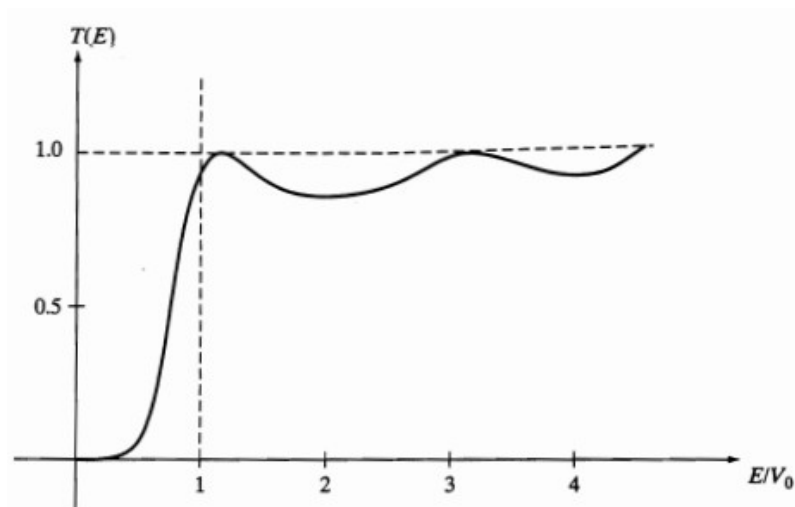


Figura 2.1: Probabilidade de tunelamento versus energia de uma barreira de potencial.^[9]

É importante notar que a probabilidade de tunelamento é uma função que decai exponencialmente com a largura da barreira de potencial, evidenciando portanto a necessidade do uso de barreiras suficientemente finas para o sucesso do tunelamento^[9].

2.3 JUNÇÃO-TÚNEL

A junção-túnel é uma estrutura formada por uma fina camada isolante, da ordem de nanômetros, entre dois eletrodos de metal, de modo que possa ocorrer o tunelamento. Ela é modelada a partir de um capacitor ideal em paralelo com uma resistência de tunelamento R_t . A junção-túnel é ilustrada na figura 2.2 junto com sua simbologia convencional.

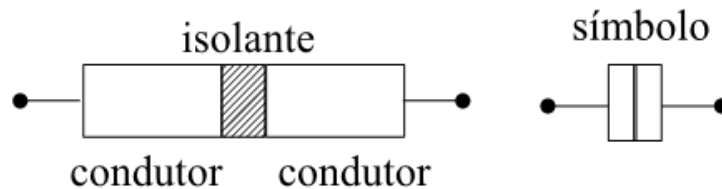


Figura 2.2: Junção túnel^[10]

2.4 ILHA QUÂNTICA

A ilha quântica, ou ilha de Coulomb, é uma pequena região cercada por uma fina camada de material isolante, que a separa de dois condutores. A condução de elétrons na ilha quântica ocorre via tunelamento^[9]. Além disso a camada de isolante é uma barreira de potencial que impede o movimento de elétrons para fora da ilha. A energia é quantizada na região da ilha, e, portanto, para que um elétron possa atravessar a barreira de potencial e permanecer na ilha ele deverá ter energia coincidente com a energia de um nível quantizado vazio.

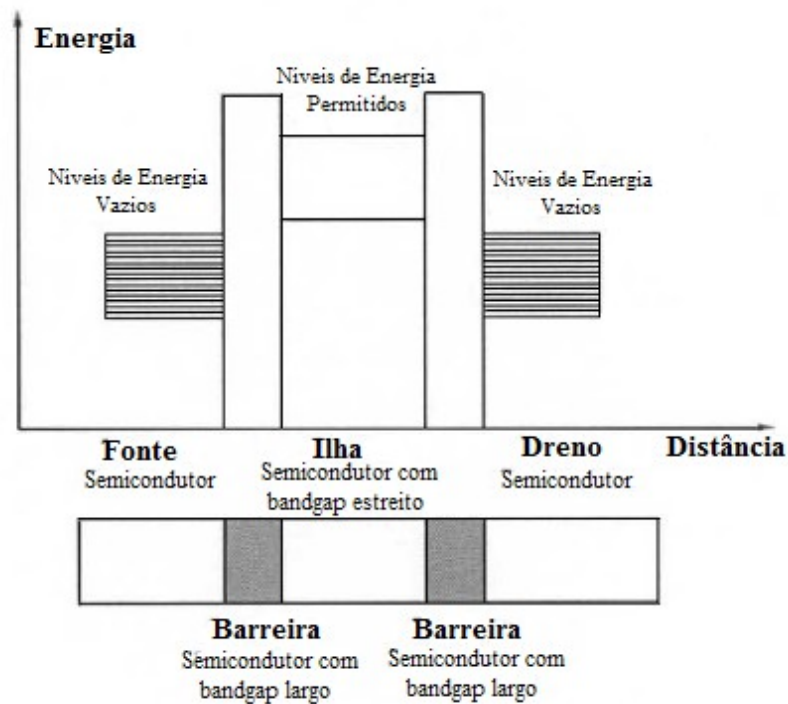


Figura 2.3: Ilha quântica

2.5 BLOQUEIO DE COULOMB

A energia eletrostática na região da ilha é dada por:

$$E_c = \frac{e^2}{2C} \quad (2.1)$$

onde e é a carga nos condutores e C é a capacitância entre os condutores.

Quando um elétron entra na ilha sua energia eletrostática é aumentada de E_c , tornando necessário que o próximo elétron tenha energia superior a E_c para ocupar o próximo nível quântico na ilha. Tal energia pode ser fornecida através de uma fonte de tensão V_g .

Enquanto o nível de energia necessário para o tunelamento não for alcançado ocorrerá uma suspensão do fluxo de elétrons, fenômeno conhecido como bloqueio de Coulomb (figura 2.4).

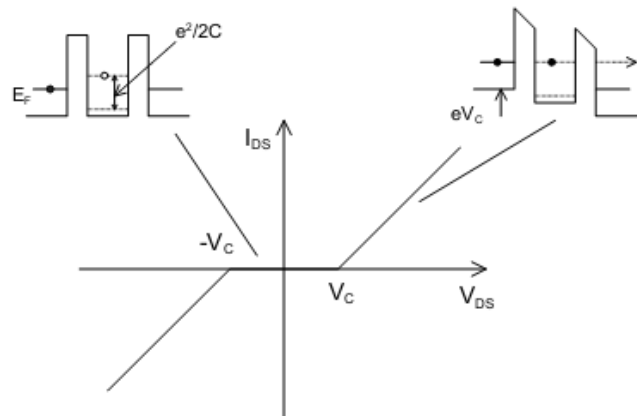


Figura 2.4: Efeito do bloqueio de Coulomb^[9]

2.6 TRANSISTOR MONOELÉTRON

O transistor monoelétron é composto por duas junções-túnel conectadas entre si, formando uma ilha entre eles, como mostra a figura 2.5. A ilha é conectada a uma tensão de *gate* através de uma capacitância ideal (sem tunelamento). Através da tensão de *gate* é possível manipular o nível de Fermi, i.e., a energia do maior nível quântico ocupado na ilha, controlando assim a condução de elétrons pelo transistor.

Neste trabalho é utilizado um modelo SPICE do SET proposto na literatura por Lientsching et al^[11].

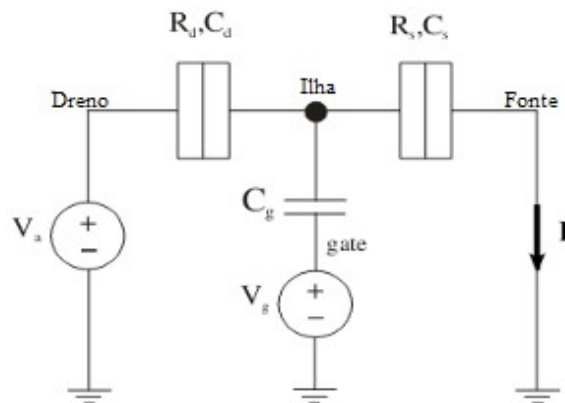


Figura 2.5: Transistor monoelétron (SET)^[12]

2.7 PORTA NÃO-E MONOELETRON

Devido ao seu caráter universal, a porta NAND (Não-E) foi escolhida como o bloco básico de todas as estruturas da memória associativa concebida neste trabalho, exceto da rede neural WTA (*Winner Take-All*).

O modelo utilizado para as simulações e seus parâmetros encontram-se na figura 2.6 e tabela 2.1 respectivamente.

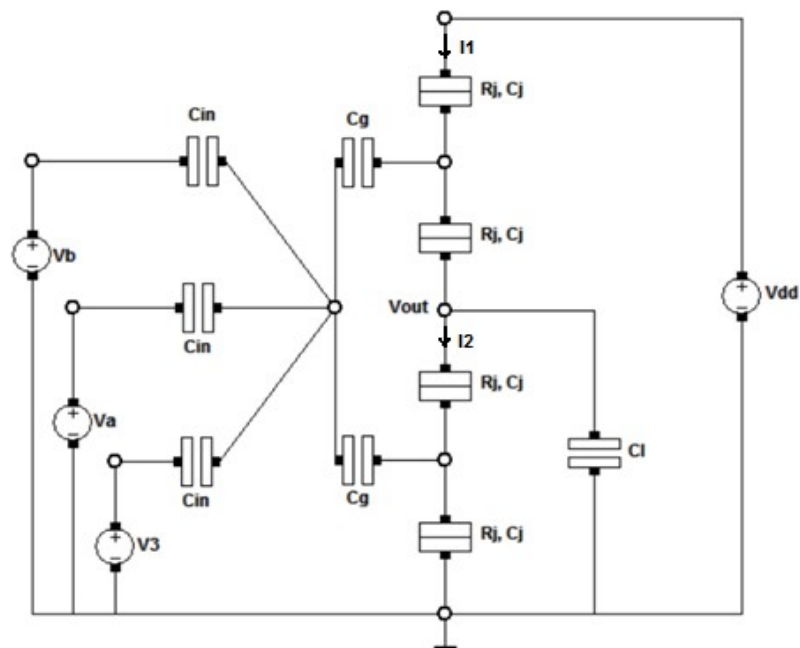


Figura 2.6: Porta Não-E nanoeletrônica^[13]

Parâmetro	Valor
R_j	$1 \text{ M}\Omega$
C_j	$1 \cdot 10^{-21} \text{ F}$
C_{in}	$2 \cdot 10^{-18} \text{ F}$
C_g	$1,5 \cdot 10^{-19} \text{ F}$
C_L	$2,5 \cdot 10^{-19} \text{ F}$
V_{dd}	$0,5 \text{ V}$
V_3	0 V

Tabela 2.1: Parâmetros de simulação para a porta Não-E

2.8 MÁQUINAS DE ESTADO

Máquinas de estado são circuitos sequenciais, i.e., são circuitos cuja saídas dependem não apenas do valor presente das entradas, mas também de todos os seus valores anteriores^[8]. Elas possuem em seu cerne um módulo de memória, geralmente construído a partir de *flip-flops*. Às saídas do módulo de memória dá-se a denominação de variáveis de estado, que determinam a quantidade total de estados pelos quais a máquina pode transitar. O total de estados é dado pela equação 2.2, onde n é o número de variáveis de estado.

$$\text{Estados} = 2^n \quad (2.2)$$

2.9 LATCHES E FLIP-FLOPS

Latches e *flip-flops* são os circuitos sequenciais mais simples, descritos por apenas uma variável de estado^[8]. Compostos por apenas um laço de realimentação, eles são também o elemento de memória mais básico, uma vez que cada realimentação corresponde a uma memória binária. Enquanto em um *latch* (figura 2.7) a saída muda juntamente com a entrada, em um *flip-flop* (figura 2.8) a mudança da saída é controlada por relógio (*clock*).

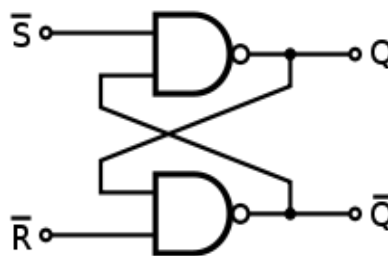


Figura 2.7: *Latch* SR^[8]

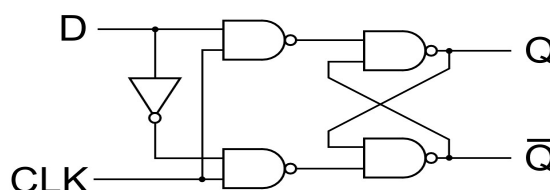


Figura 2.8: *Flip-flop* D^[8]

2.10 DETETOR DE ENVOLTÓRIA

O detetor de envoltória é um circuito que fornece como saída a envoltória de um sinal de alta frequência colocado na entrada. Ele consiste de um retificador de meia onda e um filtro passa-baixa, realizando uma operação não linear^[17].

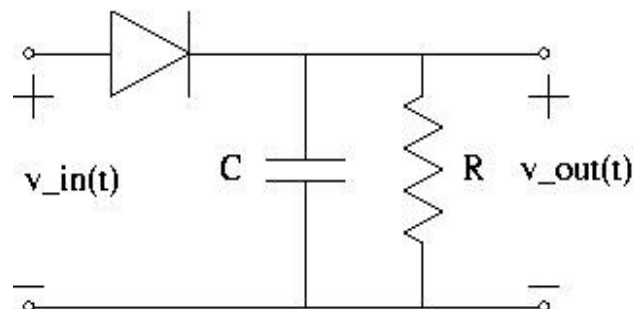


Figura 2.9: Exemplo de detetor de envoltória

2.11 CONVERSOR A/D

Conversores A/D são responsáveis por transformar sinais analógicos contínuos em sinais digitais discretos, através da discretização no domínio do tempo e no domínio da tensão^[8]. Primeiramente o sinal analógico é amostrado com uma certa frequência de amostragem. Em seguida o sinal é quantizado, ou seja, os valores amostrados são convertidos para um valor digital pré-definido.

2.12 REGISTRADOR

Um registrador de deslocamento (figura 2.9) armazena e desloca serialmente uma palavra binária para a direita ou para a esquerda, de acordo com o sinal do relógio^[8]. Os registradores são normalmente compostos por *flip-flops* e podem ser utilizados para sincronizar um sinal com um sistema.

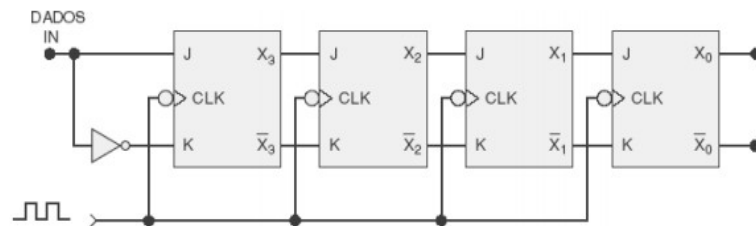


Figura 2.10: Exemplo de registrador de deslocamento

2.13 MEMÓRIA ASSOCIATIVA

Memórias associativas buscam reproduzir a capacidade humana de recuperar informações e reconhecer padrões em um meio impreciso^[14]. Elas são capazes de recuperar informações e reconhecer padrões a partir do conhecimento parcial de seu conteúdo. Ao contrário de uma memória endereçada por conteúdo, que busca apenas por dados idênticos aos da entrada, a memória associativa é capaz de fazer uma busca paralela do dado de entrada entre dados armazenados em seu conteúdo. A saída é endereçada de acordo com o resultado de operações de comparação entre os valores de entrada e aqueles armazenados. As memórias associativas são, portanto, uma possível solução para o aumento do desempenho do circuito em termos de velocidade^[6].

Alencar^[7] propõe um modelo nanoeletrônico de memória associativa assíncrona, apresentado na figura 2.7. Essa memória é capaz de armazenar e processar duas palavras de dois bits cada. Ela foi dividida em três blocos funcionais (figura 2.8), quais sejam:

- bloco de armazenamento;
- bloco de comparação;
- bloco de endereçamento.

O bloco de armazenamento é composto de quatro células de memória, duas para cada palavra. Tais células nada mais são do que unidades de *latch* SR. O bloco de comparação é composto por quatro portas XOR (Ou-Exclusivo) e, por fim, o bloco de endereçamento é uma rede WTA (*Winner Take All*) modificada. A rede WTA é apresentada na figura 2.9.

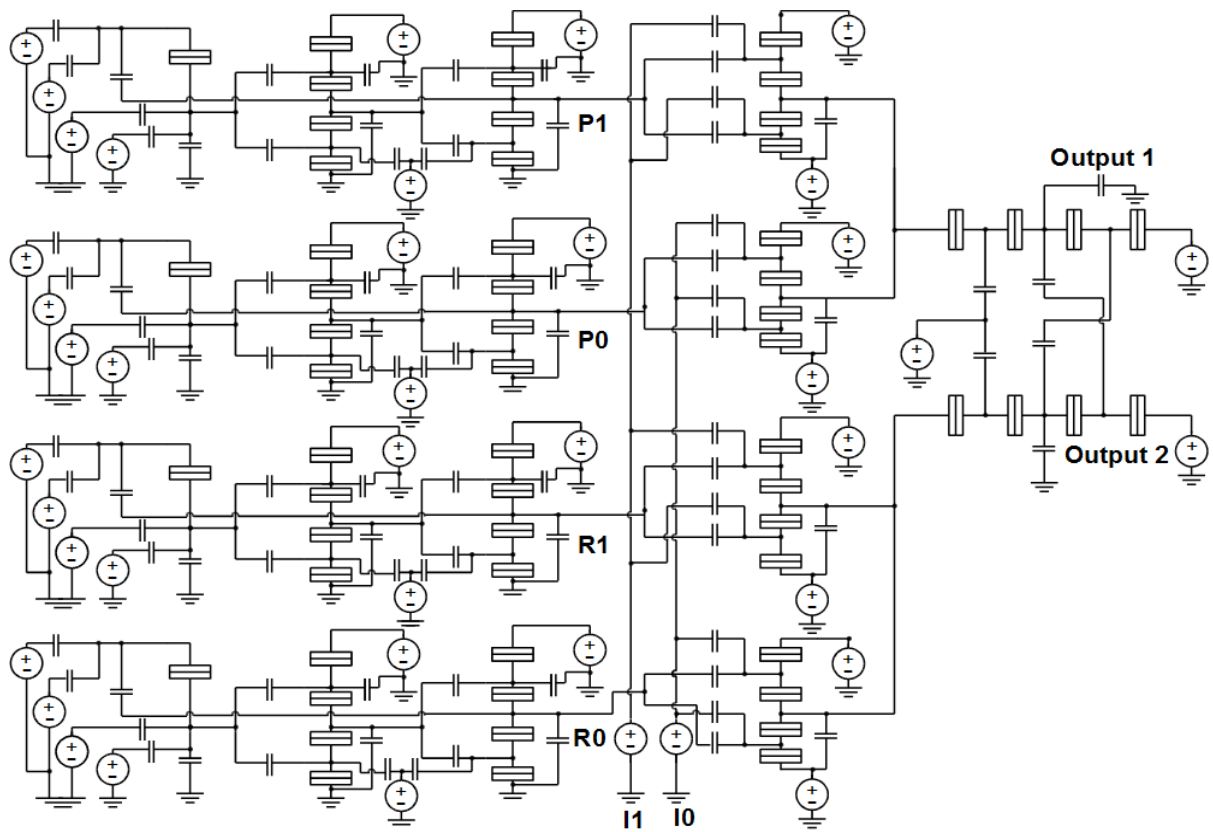


Figura 2.11: Memória Associativa Nanoeletrônica^[7]

A primeira e a segunda palavras armazenadas são denominadas por (P1, P0) e (R1, R0) respectivamente, e a palavra de entrada a ser comparada é denominada por (I1, I0).

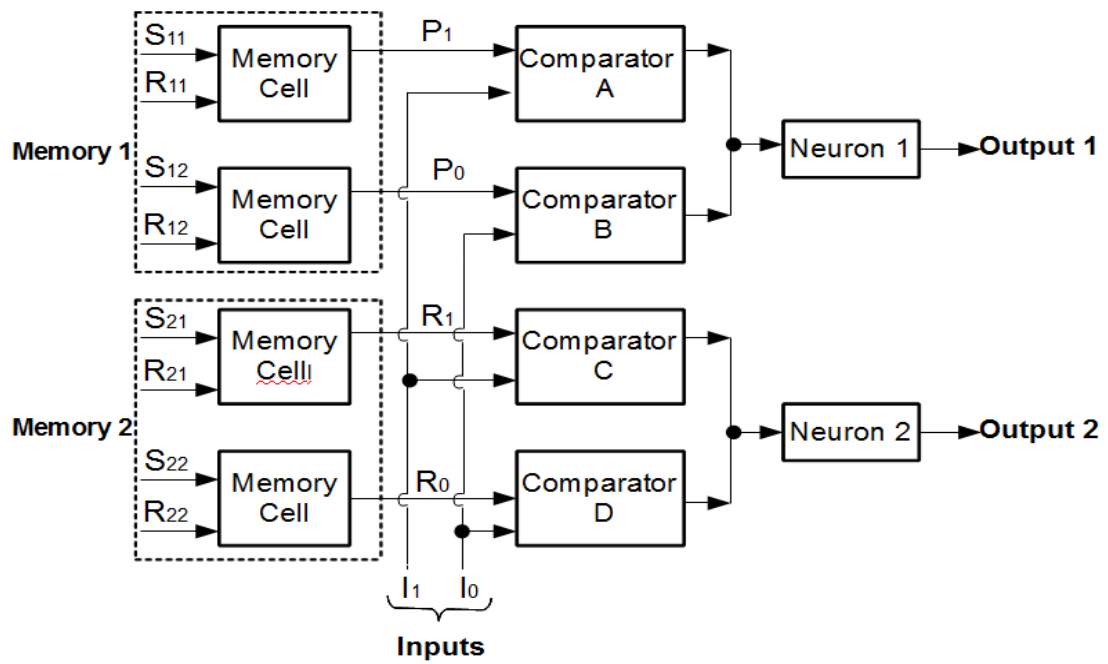


Figura 2.12: Diagrama de blocos da memória associativa^[7]

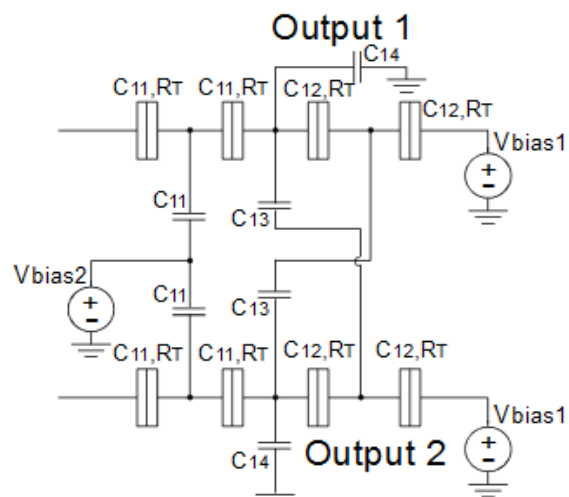


Figura 2.13: Rede WTA modificada^[7]

2.14 NEURÔNIO PULSADO

Um neurônio pulsado, figura 2.10, é um modelo linear capaz de reproduzir comportamentos similares ao de um neurônio biológico. Neurônios pulsados são utilizados em redes neurais com o intuito de reproduzir o comportamento dinâmico de estruturas complexas, como o cérebro. Ao contrário de outras redes neurais, em que os neurônios emitem sinais a cada ciclo de propagação, os neurônios em uma SNN (*Spiking Neural Network*) disparam pulsos apenas quando o potencial de membrana atinge um valor específico, sendo também conhecidos como osciladores bio-inspirados. Desse modo a rede neural pulsada é ideal para tarefas em que a informação temporal deva ser processada, ou seja, qualquer aplicação que lide com informações recebidas do mundo real^[15].

Neste trabalho é utilizado o circuito nanoeletrônico de Nv-Neuron proposto por Guimarães et al^[16]. Para o seu uso em conjunto com a memória associativa é explorada sua capacidade de representar padrões como pulsos no tempo. Para tanto, o ponto operacional do circuito foi ajustado de modo a manter o circuito em uma região de instabilidade. Além disso seus parâmetros foram atribuídos de modo a torná-lo funcional à temperatura ambiente, uma característica muito importante para circuitos nanoeletrônicos^[16].

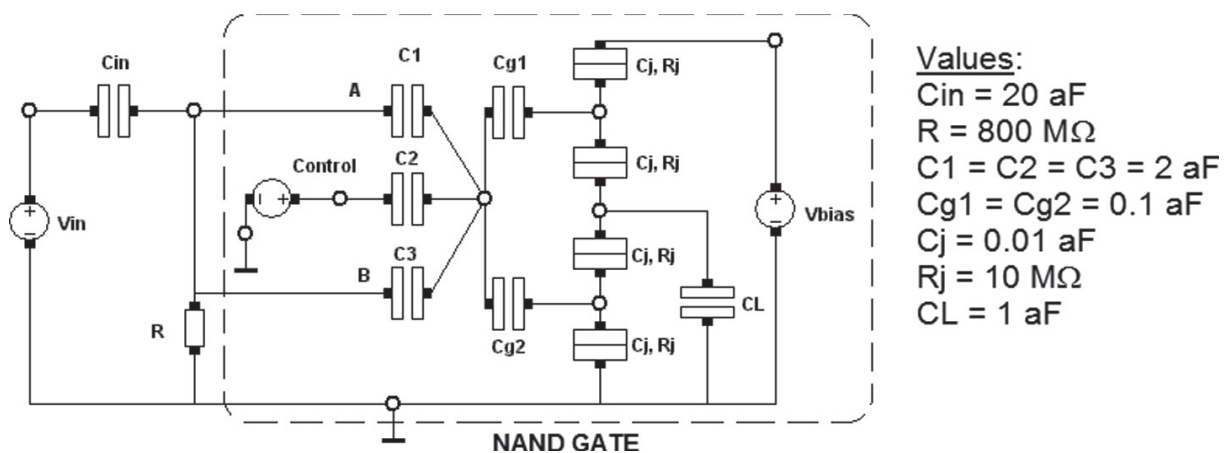


Figura 2.14: Modelo de Neurônio Pulsado^[16]

3 METODOLOGIA

3.1 CONSIDERAÇÕES INICIAIS

A memória associativa apresentada, apesar de ter seu funcionamento completamente validado, apresenta inconvenientes como a dificuldade de expansão do número de palavras binárias e bits por palavra para armazenamento e comparação. Sua arquitetura exige a criação de novos conjuntos de alocação, comparação e endereçamento para cada bit novo, aumentando rapidamente a complexidade do circuito como um todo. Como cada bloco possui um circuito relativamente complexo, observa-se o quão onerosa torna-se a implementação dessa memória em larga escala.

Uma nova arquitetura baseada apenas em portas NAND é apresentada. Os dois primeiros blocos da memória possuem estruturas lógicas que são implementadas de forma mais eficiente através do uso de portas NANDs, quais sejam: *latch* SR no bloco de memória e porta XOR no bloco de comparação.

3.2 IMPLEMENTAÇÃO DOS MÓDULOS DIGITAIS DA MEMÓRIA A PARTIR DA PORTA NAND

3.2.1 PORTA OU-EXCLUSIVO (XOR)

A porta XOR desenvolvida para utilização na memória associativa foi implementada a partir de portas NAND nanoeletrônicas. A função XOR mínima necessita de cinco portas NAND, como mostra a figura 3.1.

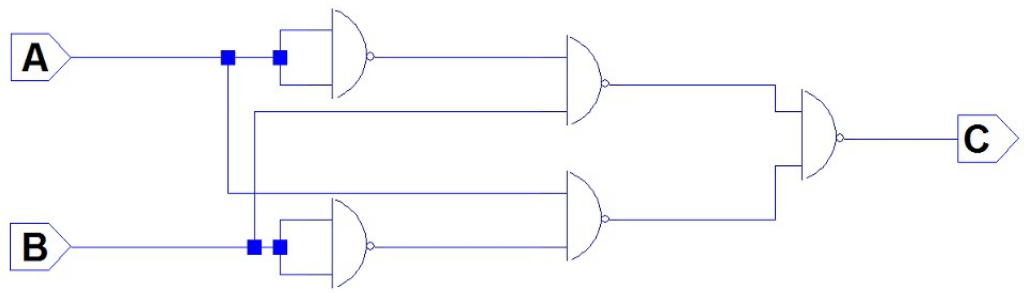


Figura 3.1: Porta Ou-Exclusivo

A saída esperada de uma porta ou-exclusivo é apresentada na tabela 3.1. Observa-se na figura 3.2 o resultado obtido na simulação.

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 3.1: Tabela Verdade XOR

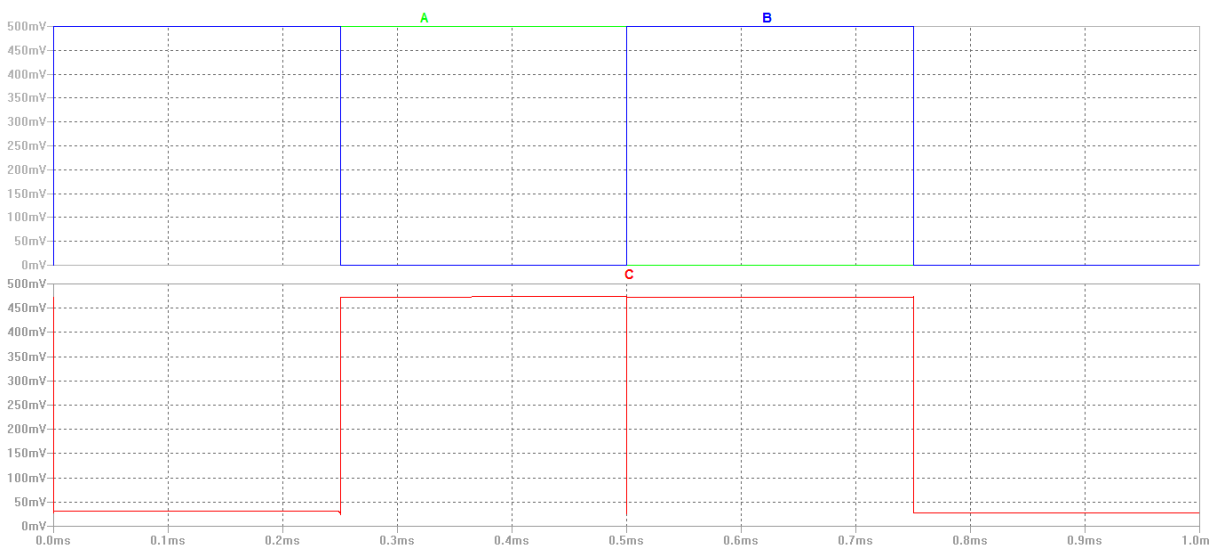


Figura 3.2: Simulação da porta XOR.

3.2.2 LATCH SR

O *latch* sr utilizado nesse trabalho foi construído com a arquitetura NAND clássica utilizando-se portas nanoeletrônicas, como mostrado na figura 3.3. Os valores esperados na saída do circuito encontram-se na tabela 3.2 e o resultado obtido na simulação é apresentado na figura 3.4.

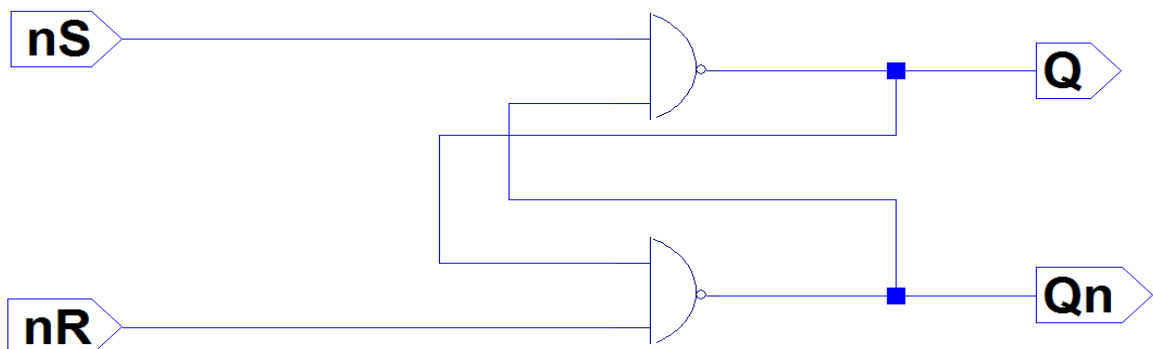


Figura 3.3: Latch SR

S	R	Qn+1
0	0	Qn
0	1	0
1	0	1
1	1	Proibido

Tabela 3.2: Tabela do Latch SR

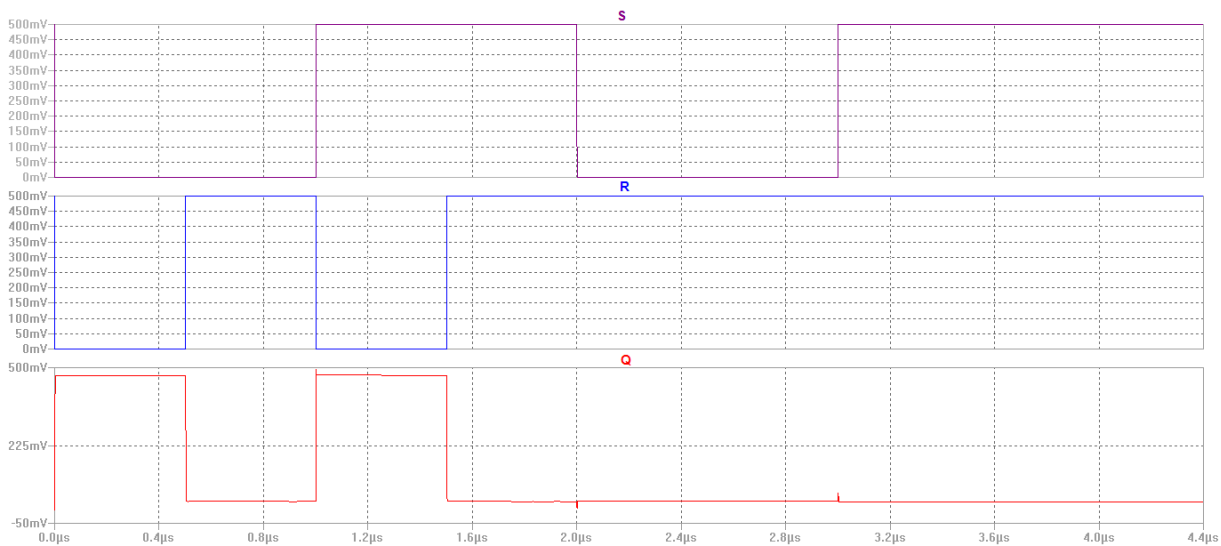


Figura 3.4: Saída do Latch SR

3.2.3 FLIP-FLOP D

O *flip-flop* D é normalmente utilizado como base na construção de máquinas de estados síncronas, e, como todo *latch* e *flip-flop*, é uma célula básica de memória. Sua saída é ativada na borda de subida do *clock*, como mostra a tabela 3.3.

D	Clock	Q	Q/
0	↓	0	1
1	↓	1	0
X	0	Q_{n-1}	Q'_{n-1}
X	1	Q_{n-1}	Q'_{n-1}

Tabela 3.3: Tabela verdade do *Flip-Flop* D

A figura 3.5 mostra o esquemático do *flip-flop* construído a partir de portas NAND.

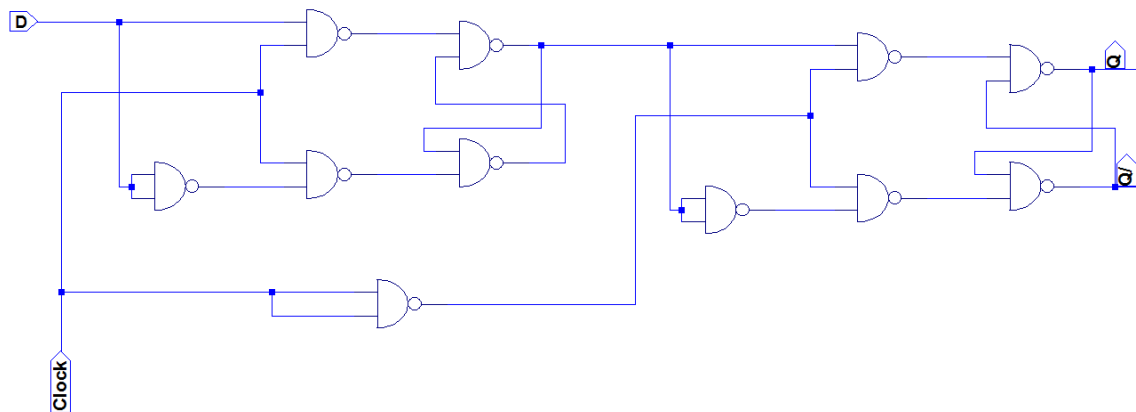


Figura 3.5: *Flip-Flop* D

A figura 3.6 mostra o resultado obtido durante a simulação do *flip-flop* D no *software* LTSPICE.

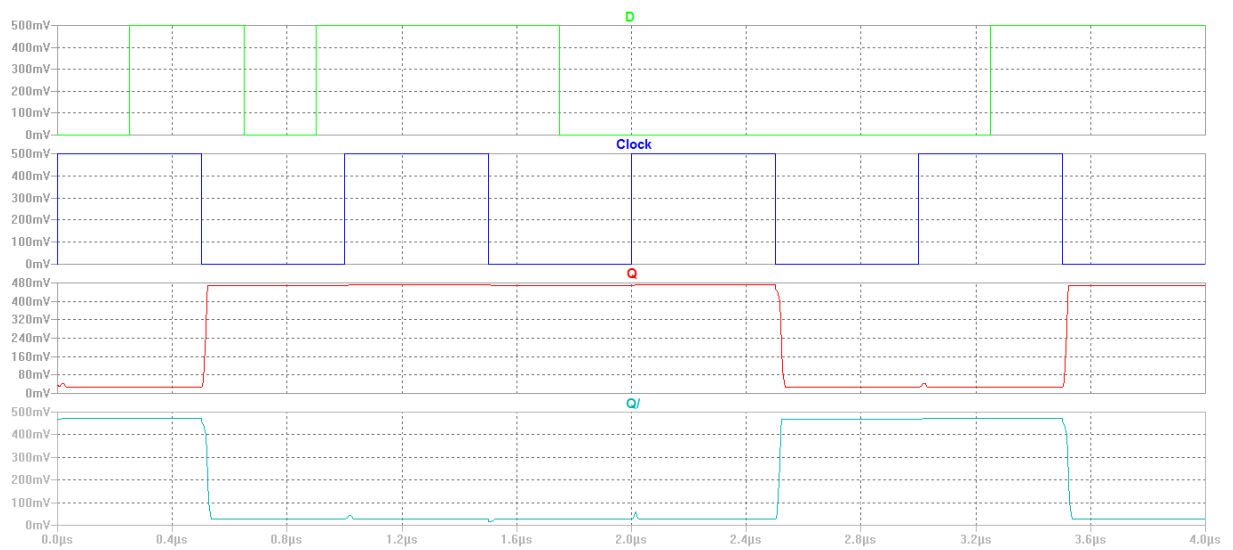


Figura 3.6: Saída do *Flip-Flop* D

3.2.4 MÁQUINAS DE ESTADO

Para a construção da memória associativa síncrona foram concebidas duas máquinas de estado. Essas máquinas são responsáveis por modificar as palavras armazenadas na memória a cada batida de *clock* sincronamente. As figuras 3.7 e 3.9 apresentam o diagrama de estados de cada máquina. As figuras 3.8 e 3.10 mostram o seus respectivos esquemáticos.

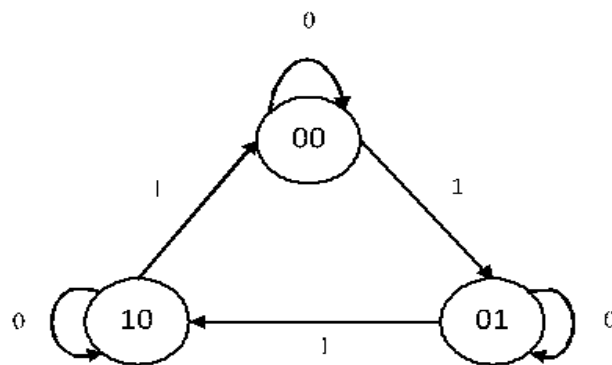


Figura 3.7: Diagrama de estados para máquina 1

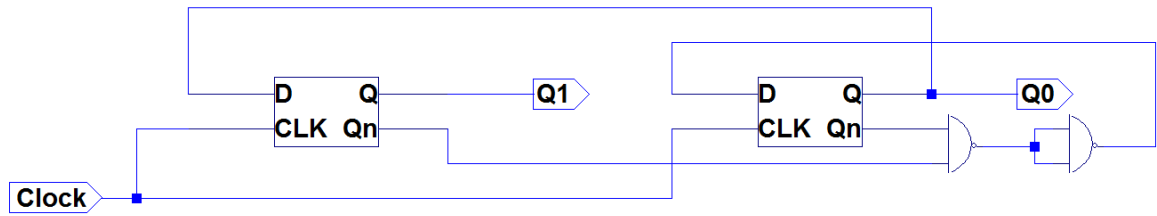


Figura 3.8: Máquina de Estados 1

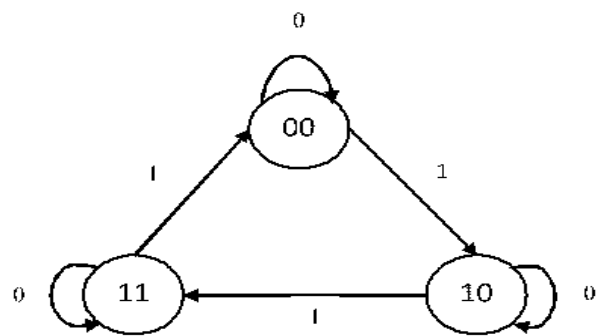


Figura 3.9: Diagrama de estados para a máquina 2

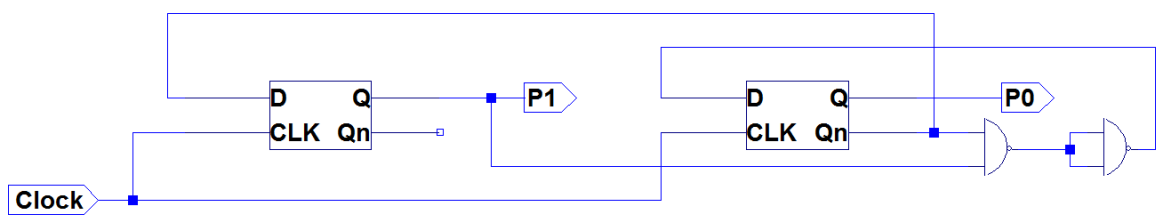


Figura 3.10: Máquina de Estados 2

3.3 IMPLEMENTAÇÃO DA MEMÓRIA ASSOCIATIVA

3.3.1 MEMÓRIA ASSOCIATIVA ASSÍNCRONA

A memória foi montada de acordo com o esquema da figura 2.12, porém substituindo os blocos do circuito pelos elementos adequados. As células de memória são compostas por *latches* SR, conforme implementados na seção 3.2.2, e o bloco de comparação faz uso de portas XOR, conforme implementadas na seção 3.2.1. A nova arquitetura é mostrada na figura 3.11. O bloco de endereçamento, sendo uma rede WTA de dois neurônios, é o mesmo empregado na arquitetura original da memória, inclusive mantendo os mesmos parâmetros do circuito original.

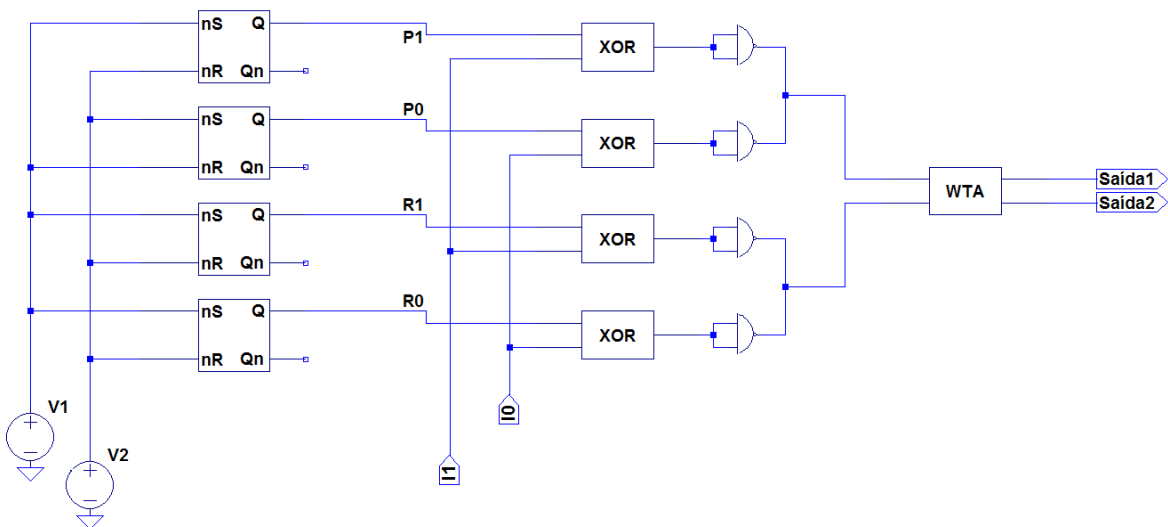


Figura 3.11: Memória Associativa Assíncrona

Durante a simulação as palavras armazenadas na memória foram definidas como sendo (0, 1) para (P1, P0) e (1, 0) para (R1, R0). A palavra de entrada (I1, I0) varia no tempo e assume os seguintes valores respectivamente: (1, 1), (1, 0), (0, 1), (0, 0).

3.3.2 MEMÓRIA ASSOCIATIVA SÍNCRONA

Na memória associativa síncrona as quatro células de memórias com seus componentes *latch* SR são substituídas por duas máquinas de estado simples, compostas por dois *flip-flop* D cada (figuras 3.8 e 3.10). Assim, em um dado instante, uma máquina apresenta uma palavra de dois bits distinta. Como cada máquina possui três estados possíveis (figuras 3.7 e 3.9), ao fim de um ciclo são apresentadas três combinações distintas de duas palavras de dois bits ao todo, uma vez que ambas máquinas de estado encontram-se sob o regime do mesmo *clock*. Virtualmente isso proporciona um total de três conjuntos de memórias distintas, separadas apenas pela subida do *clock*, em um único circuito de memória. A tabela 3.4 apresenta as três possíveis combinações de palavras para a memória síncrona em questão.

	(P1, P0)	(R1, R0)
Combinação 1	(0, 0)	(0, 0)
Combinação 2	(0, 1)	(1, 0)
Combinação 3	(1, 0)	(1, 1)

Tabela 3.4: Possíveis combinações de palavras na memória síncrona

A figura 3.12 apresenta o esquemático do circuito da memória. Vale a pena notar que apesar de haverem duas indicações de *clock* separados no circuito ele é o mesmo para ambas as máquinas de estado.

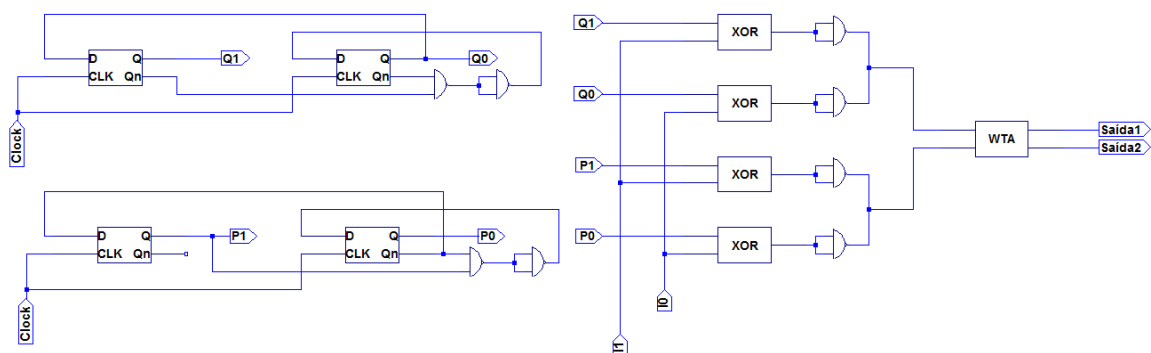


Figura 3.12: Memória Síncrona

3.4 NEURÔNIO PULSADO

Para que o neurônio pulsado possa ser utilizado em conjunto com estruturas digitais faz-se necessário amostrar e digitalizar o sinal obtido na sua saída. Para tanto foram utilizados:

- detector de envoltória, visto que a saída de um neurônio pulsado é composta por pulsos;
- conversor A/D;
- registrador.

A concepção destes módulos fogem ao escopo deste trabalho e, portanto, foram utilizados modelos disponíveis de outros trabalhos publicados. O circuito completo é mostrado na figura 3.13.

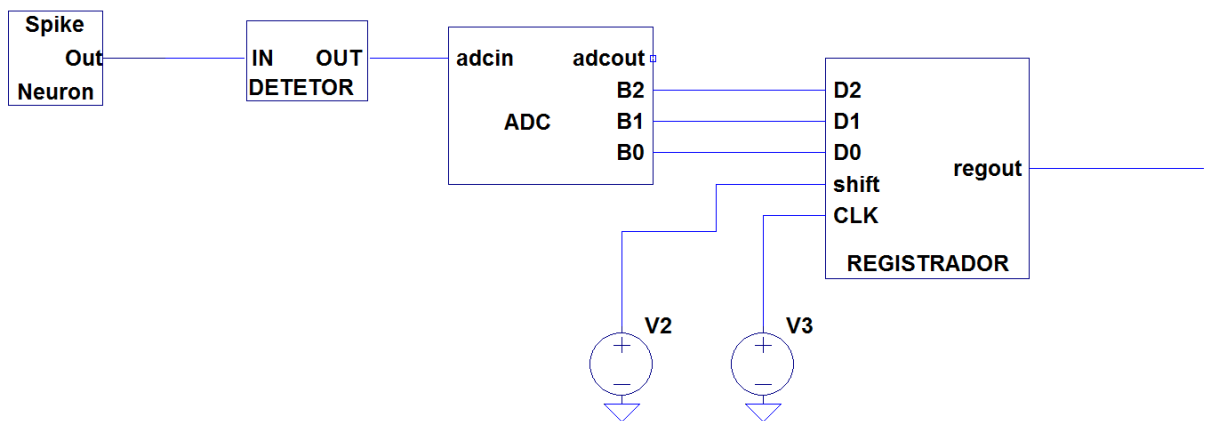


Figura 3.13: Processamento da saída do neurônio pulsado

4 RESULTADOS E ANÁLISE

4.1 INTRODUÇÃO

O presente capítulo apresenta os resultados das simulações realizadas, bem como uma análise desses resultados.

4.2 MEMÓRIA ASSOCIATIVA ASSÍNCRONA

Na figura 4.1 e tabela 4.1 é possível observar o comportamento da saída da memória. Nos casos em que as palavras de entrada são (1, 0) e (0, 1) têm-se que elas correspondem respectivamente às palavras armazenadas 2 e 1. Desse modo o circuito identifica com sucesso o endereço de memória correspondente à entrada fornecida.

Palavra de Entrada (I1, I0)	Palavra Armazenada 1 (P1, P0)	Palavra Armazenada 2 (R1, R0)	Saída
(1, 1)			X
(1, 0)	(0, 1)	(1, 0)	Saída 2
(0, 1)			Saída 1
(0, 0)			X

Tabela 4.1: Relação de saída para a memória assíncrona

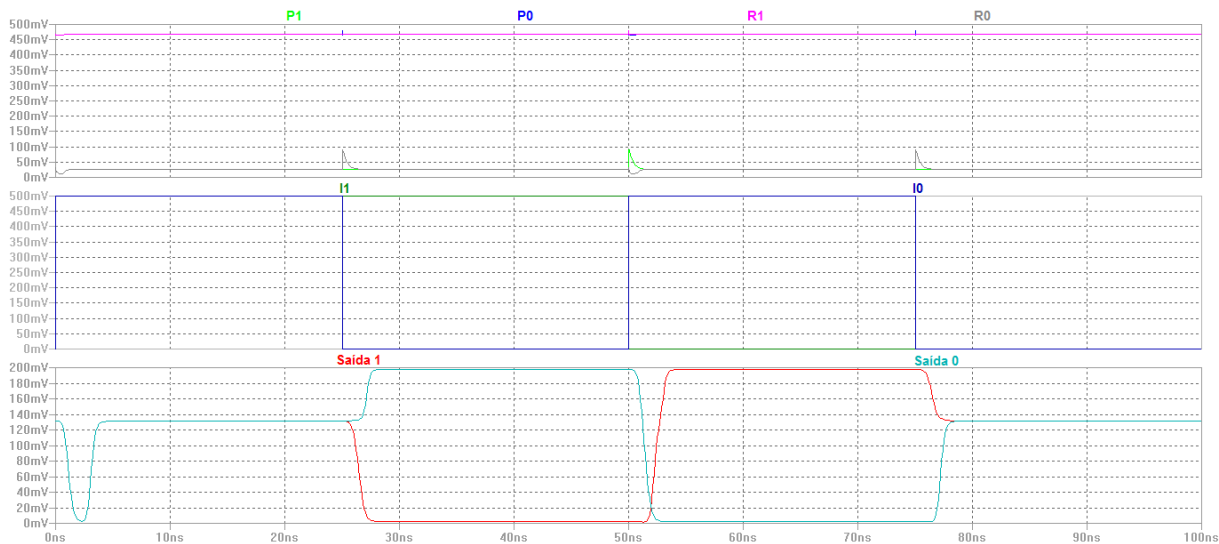


Figura 4.1: Saída para memória assíncrona

Quando a palavra de entrada assume os valores (1, 1) ou (0, 0) não há uma correspondência perfeita com nenhuma das duas palavras armazenadas, nenhum dos endereços é identificado como vencedor pelo circuito da memória. Neste caso é realizada uma disputa entre bits das palavras, para que a correspondência mais próxima entre entrada e memória seja escolhida como vencedora. Tanto para a entrada (1, 1), como para a entrada (0, 0), a diferença entre ambas palavras armazenadas é de apenas um bit. Desse modo não há um vencedor claro entre os dois endereços de memória, fato indicado por um *don't care* (X) na tabela. A figura 4.1 mostra ambas saídas como igualmente prováveis ou aceitáveis.

Neste momento são apresentados cálculos de algumas características da memória assíncrona executada neste trabalho. A tabela 4.2 contém os dados de área e potência de uma porta NAND nanoeletrônica^[7]. Como ilustrado na figura 3.3, cada *latch* SR possui duas portas NAND. O total de quatro *latches* utilizado no bloco de memória contém portanto oito portas NAND. O bloco comparador, composto por quatro portas XOR, possui ao todo 20 portas NAND. Por fim o bloco de endereçamento constituído pela rede WTA, apresenta um total de dois neurônios, cujas características são apresentadas na tabela 4.3.

NAND Nanoeletrônica	
Área	172nm ²
Potência Estática	3.5pW
Potência Dinâmica Máx.	6.25pW

Tabela 4.2: Propriedades da Porta NAND Nanoeletrônica

Neurônio	
Área	50 nm ²
Potência	125 nW

Tabela 4.3: Propriedades de um neurônio

Área da Memória	
Neurônios	100 nm ²
<i>Latches</i>	1376 nm ²
Comparador	3440 nm ²
Total	4916 nm ²

Tabela 4.4: Área total da memória assíncrona

Potência	
Neurônios	250 nW
<i>Latches</i>	28 pW
Comparador	70 pW
Total	~250 nW

Tabela 4.5: Potência total da memória assíncrona

As tabelas 4.4 e 4.5 trazem a área total e a potência total da memória assíncrona respectivamente.

4.3 MEMÓRIA ASSOCIATIVA SÍNCRONA

Como mencionado anteriormente e descrito na tabela 3.4 a memória associativa síncrona apresenta três conjuntos distintos de palavras P e R armazenados em um dado momento. A figura 4.2 apresenta o gráfico das duas palavras pelo tempo. É possível observar alguns pulsos espúrios no sinal, resultado da propagação de atrasos inerentes à porta NAND utilizada.

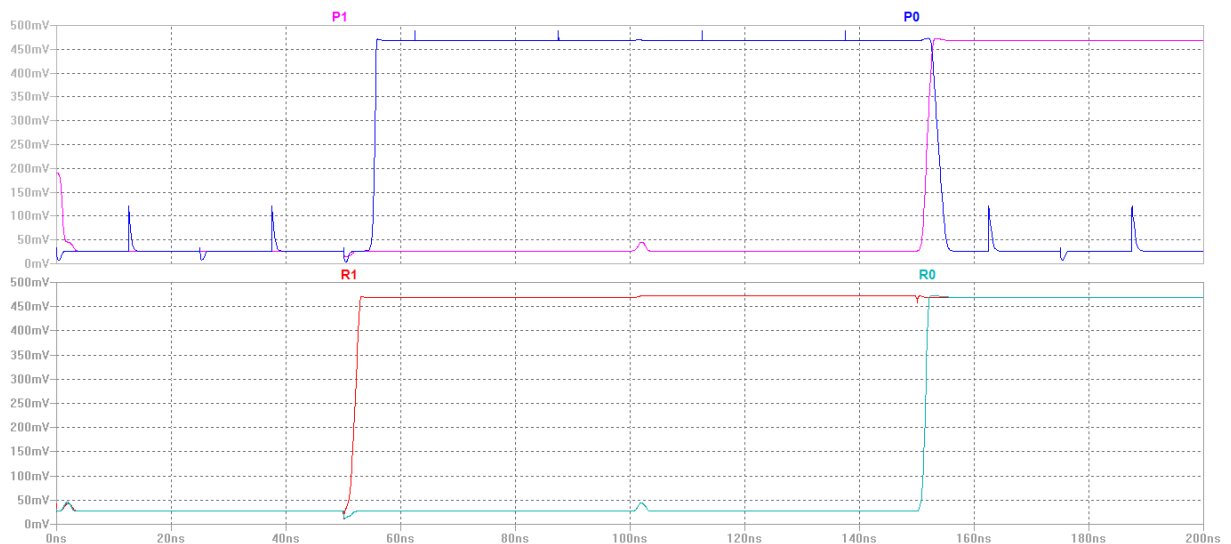


Figura 4.2: Palavras armazenadas na memória síncrona

A figura 4.3 apresenta a palavra de entrada da memória e sua saída. Cada saída corresponde a um endereço de memória, e através do gráfico é possível identificar o estado de semelhança da palavra de entrada com cada célula de memória. Uma saída em nível alto corresponde a uma correspondência de 100% entre a entrada e a palavra armazenada, enquanto uma saída em nível baixo indica 0% de semelhança entre as duas palavras. A saída em nível médio indica uma semelhança parcial entre a entrada e a memória, sendo, no caso deste trabalho, uma semelhança de 50%, dado que cada palavra possui apenas dois bits.

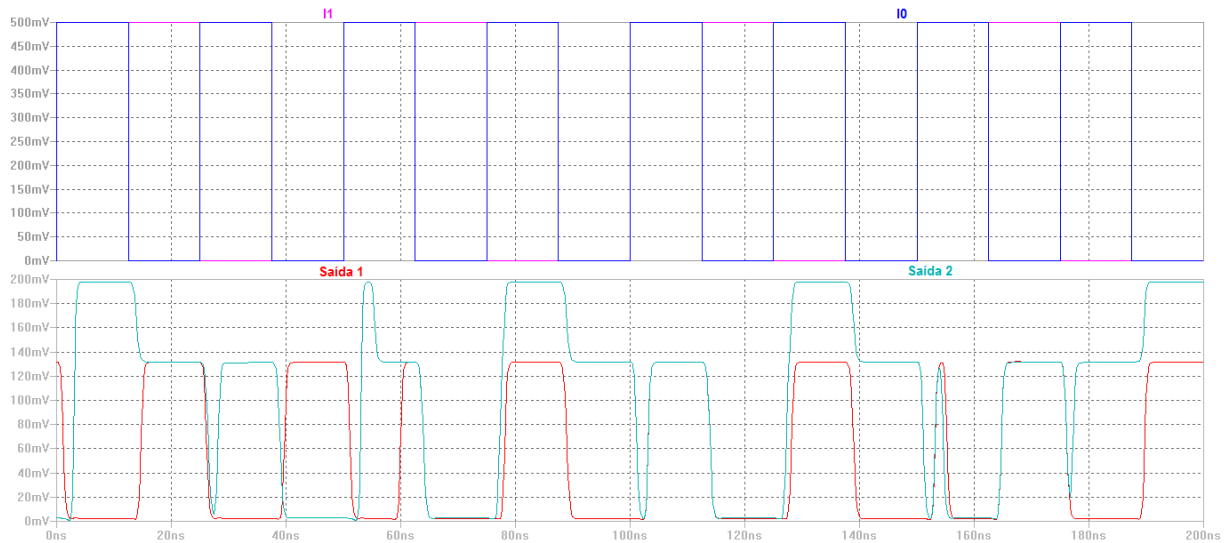


Figura 4.3: Saída da memória síncrona

Para os cálculos de área utilizada e potência consumida pela memória síncrona faz-se uso novamente da tabela 4.2 de propriedades da porta NAND. Além disso deve-se levar em consideração as propriedades do *flip-flop* D, que é composto por onze portas NAND cada, sendo que cada máquina de estados possui dois *flip-flops* D, como visto na tabela 4.6.

Máquina de Estados	
Área	3956 nm ²
Potência	80.5 pW

Tabela 4.6: Área e Potência da Máquina de Estados

A seguir é apresentado os dados de área e potência da memória síncrona (tabelas 4.7 e 4.8 respectivamente).

Área da Memória	
Neurônios	100 nm ²
Memória	3956 nm ²
Comparador	3440 nm ²
Total	7496 nm ²

Tabela 4.7: Área total da memória síncrona

Potência	
Neurônios	250 nW
Memória	80.5 pW
Comparador	70 pW
Total	~250 nW

Tabela 4.8: Potência total da memória síncrona

É apresentado a seguir a tabela 4.9, que resume a área e potência das duas memórias propostas, bem como da memória apresentada por Alencar^[7]. É possível observar que ambas

memórias propostas apresentam uma área total muito maior que a memória de Alencar[7], porém exibem um consumo de potência claramente inferior.

	Alencar	Memória Assíncrona	Memória Síncrona
Área	602 nm ²	4916nm ²	7496 nm ²
Potência Estática	2682 nW	~250 nW	~250 nW

Tabela 4.9: Área e potência de várias memórias associativas

Nota-se ainda que não há diferença aparente entre o consumo de potência da memória assíncrona e da memória síncrona. Porém a área total utilizada pela memória síncrona é superior, devido ao uso de máquinas de estados como células de memória.

5 CONCLUSÕES

Este trabalho apresentou uma arquitetura digital nanoeletrônica para uma memória associativa. Além disso foram apresentados dois modelos de memória associativa, uma síncrona e uma assíncrona. Ambos modelos foram validados através de simulação no software LTSPICE.

A arquitetura proposta, por ser digital, apresenta característica modular, facilitando a expansão de qualquer um dos circuitos de memória sugeridos. Essa característica também possibilita a automatização do projeto de circuitos. Ainda com relação as vantagens desse tipo de arquitetura têm-se os efeitos da operação digital, que elimina problemas de *off-set* e co-tunelamento.

Por ter como elemento base portas NAND, o circuito apresenta uma clara redução no consumo total de potência. O tamanho total do circuito também é inferior ao de um circuito baseado em tecnologia CMOS. Essas são características muito vantajosas no cenário atual, onde cada vez mais produzem-se pequenos aparelhos repletos de funções onde normalmente a fonte de energia é limitada a uma bateria.

No que concerne as memórias associativas assíncrona e síncrona, apesar de essa ter apresentado área total superior à da assíncrona, ela se apresenta como uma melhor solução para problemas que apresentem restrição de área. Isso porque a memória síncrona equivale virtualmente a um conjunto de três memórias distintas em um dado instante de tempo.

Por fim sugere-se como trabalho futuro a implementação da rede WTA com neurônios pulsados, para que todo o circuito trabalhe apenas com a terceira geração de neurônios. Também é sugerido a criação de modelos SPICE nanoeletrônicos mais eficientes, visto que os modelos atuais são uma limitação computacional para a implementação e análise de circuitos mais complexos nos computadores disponíveis atualmente.

REFERÊNCIAS

- [1] MOORE, G. E. Cramming more components onto integrated circuits. *Electronics*, vol. 38, Number 9, 1965.
- [2] BOHR, M. T. Nanotechnology goals and challenges for electronic applications. *IEEE Transactions on Nanotechnology*, 1(1):56–62, 2002.
- [3] ITRS Roadmap 2008, International Technology Roadmap for Semiconductors, 2008 Edition, <http://www.itrs.net>.
- [4] GEROUSIS, C. BALL, D. “Single-electron tunneling circuits for image processing applications,” in CDES, 2008, pp. 139–144.
- [5] HAGOUEL, P. I. KARAFYLLIDIS, I. G. Quantum mechanical tunnelling in nanoelectronic circuits: Design of a nanoelectronic single-electron RAM. *Proceedings of the 27th IEEE International Conference on Microelectronics*. 2010, pp. 21-28.
- [6] ABEDIN, M. A. KOIDE, T. MATTAUSCH, H. J. Fully Parallel single and two-stage associative memories for high speed pattern matching. *Conference on Electrical and Computer Engineering*. 2008, pp. 20-22.
- [7] ALENCAR, B.M.S.M.S. *Estudo sobre o desempenho de blocos básicos para o desenvolvimento de uma memória associativa nanoeletrônica*. Distrito Federal. Tese (Mestrado) – Universidade de Brasília. 2012.
- [8] MENDONÇA, A.; ZELENOVSKY, R. *Eletrônica Digital Curso Prático e Exercícios*. 1. ed. Rio de Janeiro: MZ Editora Ltda., 2004. 569 p.
- [9] HANSON, G. W. *Fundamentals of Nanoelectronics*. [S.l.]: Pearson/Prentice Hall, 2008.
- [10] GUIMARÃES, J. G. *Arquitetura de redes neurais nanoeletrônicas para processadores em escala giga ou tera*. Distrito Federal. Tese (Doutorado) – Universidade de Brasília. 2005.
- [11] LIENTSCHNIG G.,W. I. e. H. P. *Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors*. [S.l.], 2003.
- [12] GEROUSIS, C. GREPIOTIS, A. *Programmable Logic Arrays in Single-Electron*. [S.l.], 2008.
- [13] TELLES, M. O. *Multiplicador binário baseado em tecnologia SET*. Dissertação (Mestrado) — Universidade de Brasília, 2012.
- [14] HAYKIN, S. O. *Neural Networks and Learning Machines*. 3 ed. Pearson/Prentice Hall, 2008.

- [15] VREEKEN, J. Spiking Neural Networks - An Introduction, 2002.
- [16] GUIMARÃES, J. G., ROMARIZ, A. R. S. Bio-Inspired Oscillators with Single-Electron Transistors: Circuit Simulation and Input Encoding Example. *Journal of Computational and Theoretical Nanoscience*, vol. 10, 1-5, 2013.
- [17] LATHI, B. P. Modern Digital and Analog Communication Systems. 3 ed. New York: Oxford University Press, 1998. 781 p.